# GPIO

#### Hoạt động

##### Tổng quan

Đây là đề xuất về quy trình cài đặt Chức năng chân cắm, “Hình 6.3 Đề xuất quy trình thiết lập Chức năng chân cắm”

Diagram

Description automatically generated

**Hình7.4:** Recomendation of Pin Function setting flow

##### Function Setting for Multiplexed Pins

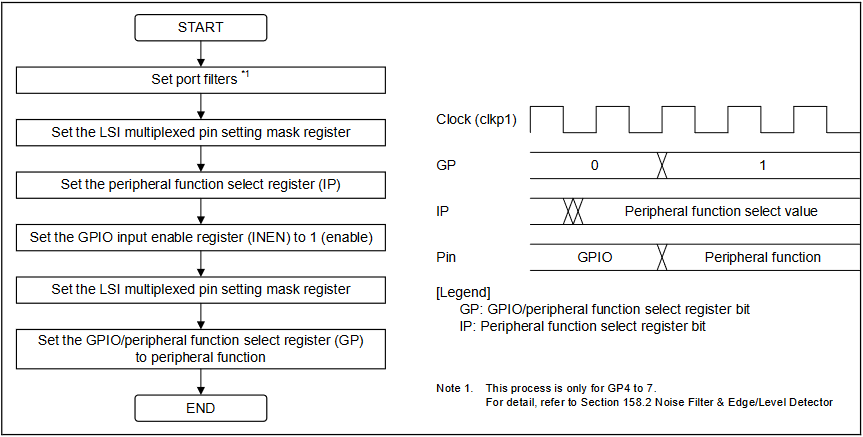
Việc thiết lập thanh ghi thiết lập mặt nạ chân ghép kênh LSI (PMMRn) là cần thiết trước khi thiết lập từng GPIO/thanh ghi chọn chức năng ngoại vi GPSRn, thanh ghi chọn chức năng IP0SRn đến IP3SRn, các thanh ghi điều khiển DRV0CTRLn đến DRV3CTRLn, thanh ghi điều khiển TD0SELn và TD1SELn, các thanh ghi điều khiển điều kiện năng lượng POCn và thanh ghi chọn mô-đun MODSELn cần phải thiết lập cho từng thanh ghi PMMRn. Cụ thể, giá trị nghịch đảo của giá trị cần thiết để thiết lập trong thanh ghi chọn chức năng phải được viết vào thanh ghi mặt nạ thiết lập chân đa chức năng LSI. Nếu không, không thể thiết lập được thanh ghi chọn chức năng GPIO/ngoại vi (GPSRn) và các thanh ghi chọn chức năng ngoại vi 0 đến 3 (IP0SRn đến IP3SRn).

Cảnh báo: Một số chức năng đầu vào được gán cho nhiều chân. Chỉ kích hoạt một chân đơn lẻ cho một chức năng đầu vào ngoại vi nhất định. Không kích hoạt cùng một chức năng đầu vào trên nhiều chân cùng một lúc. Không đặt lựa chọn ngoại vi vào một vị trí nơi chức năng ngoại vi không được gán.

Ví dụ: Với MSPI\_1\_A và MSPI\_1\_B được coi là bảng đa chức năng chân. Chức năng đầu vào MSPI1SI được gán cho thiết bị này như là IP MSPI\_1. Tuy nhiên, chức năng đầu vào MSPI1SI không nên được kích hoạt trên nhiều chân hơn một. Sau khi kích hoạt chức năng trên một chân, không kích hoạt nó trên chân khác.

###### Procedure for Changing Pin Function from GPIO to Peripheral Function

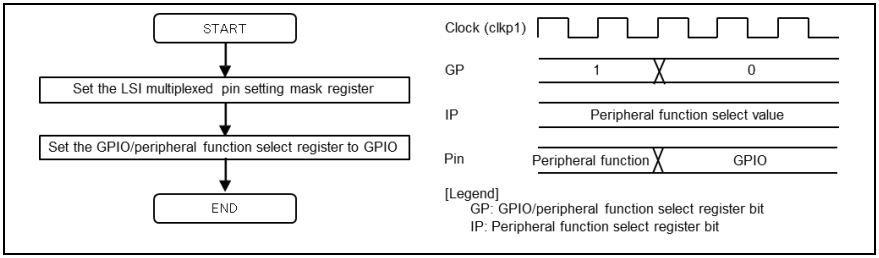
**(Quy trình thay đổi chức năng chân từ GPIO sang chức năng ngoại vi)**



**Hình 7.5:** Procedure for Changing Pin Function from GPIO to Peripheral Function

###### Procedure for Changing Pin Function from Peripheral Function to GPIO

**(Quy trình thay đổi chức năng chân từ chức năng ngoại vi sang GPIO)**



**Hình 7.6:** Procedure for Changing Pin Function from Peripheral functionto GPIO

###### Procedure 1 for Changing Pin Function from One Peripheral Function to Another Peripheral Function

Graphical user interface

Description automatically generated

**Hình 7.7:** Procedure for Changing Pin Function from One Peripheral Function to Another Peripheral Function (with GPIO Setting)

##### Setting Pull-Up / Down Resistors

Thanh ghi điều khiển kéo lên/tắt chân LSI (PUENn) và thanh ghi điều khiển kéo lên/xuống (PUDn) được sử dụng.

Diagram

Description automatically generated

##### Port Pin Specifications

Mỗi nhóm GPIO được cung cấp tối đa 32 chân cổng cho các cổng vào/ra chung và các cổng vào ngắt ngoài.

**Bảng 7.55**: chỉ định các chân này.

|  |  |  |  |
| --- | --- | --- | --- |
| **Block** | **Abbreviation** | **Name** | **Descriptions** |
| GPIO\_0  Thanh ghi áp dụng:  IOINTSEL0 INOUTSEL0 OUTDT0 INDT0 INTDT0 INTCLR0 INTMSK0 MSKCLR0 POSNEG0 EDGLEVEL0 FILONOFF0 OUTDTSEL0 OUTDTH0 OUTDTL0 BOTHEDGE0 INEN0 | GP0\_00 | IO/interrupt input port GP0\_00 | * Có thể thiết lập chế độ đầu vào/đầu ra chung hoặc chế độ đầu vào ngắt cho mỗi cổng. * Ở chế độ đầu vào chung, có thể đặt cực tính của tín hiệu đầu vào cho từng cổng. * Ở chế độ đầu ra chung, có thể đặt cực tính của tín hiệu đầu ra cho mỗi cổng. * Ở chế độ ngõ vào ngắt, cực tính của tín hiệu ngắt có thể được đặt cho mỗi cổng. * Trong chế độ đầu vào ngắt, các điều kiện phát hiện tín hiệu ngắt có thể được thiết lập cho mỗi cổng. |
| GP0\_01 | IO/interrupt input port GP0\_01 |
| GP0\_02 | IO/interrupt input port GP0\_02 |
| GP0\_03 | IO/interrupt input port GP0\_03 |
| GP0\_04 | IO/interrupt input port GP0\_04 |
| GP0\_05 | IO/interrupt input port GP0\_05 |
| GP0\_06 | IO/interrupt input port GP0\_06 |
| GP0\_07 | IO/interrupt input port GP0\_07 |
| GP0\_08 | IO/interrupt input port GP0\_08 |
| GP0\_09 | IO/interrupt input port GP0\_09 |
| GP0\_10 | IO/interrupt input port GP0\_10 |
| GP0\_11 | IO/interrupt input port GP0\_11 |
| GP0\_12 | IO/interrupt input port GP0\_12 |
| GP0\_13 | IO/interrupt input port GP0\_13 |
| GP0\_14 | IO/interrupt input port GP0\_14 |
| GP0\_15 | IO/interrupt input port GP0\_15 |
| GP0\_16 | IO/interrupt input port GP0\_16 |
| GP0\_17 | IO/interrupt input port GP0\_17 |
| GP0\_18 | IO/interrupt input port GP0\_18 |
| GP0\_19 | IO/interrupt input port GP0\_19 |
| GP0\_20 | IO/interrupt input port GP0\_20 |
| GPIO\_1  Thanh ghi áp dụng:  IOINTSEL1 INOUTSEL1 OUTDT1 INDT1 INTDT1 INTCLR1 INTMSK1 MSKCLR1 POSNEG1 EDGLEVEL1 FILONOFF1 OUTDTSEL1 OUTDTH1 OUTDTL1 BOTHEDGE1 INEN1 | GP1\_00 | IO/interrupt input port GP1\_00 | * Có thể đặt chế độ đầu vào/đầu ra chung hoặc chế độ đầu vào ngắt cho mỗi cổng. * Ở chế độ đầu vào chung, có thể đặt cực tính của tín hiệu đầu vào cho mỗi cổng. • Ở chế độ đầu ra chung, có thể đặt cực tính của tín hiệu đầu ra cho mỗi cổng. * Ở chế độ ngõ vào ngắt, cực tính của tín hiệu ngắt có thể được đặt cho mỗi cổng. * Trong chế độ đầu vào ngắt, các điều kiện phát hiện tín hiệu ngắt có thể được thiết lập cho mỗi cổng. |
| GP1\_01 | IO/interrupt input port GP1\_01 |
| GP1\_02 | IO/interrupt input port GP1\_02 |
| GP1\_03 | IO/interrupt input port GP1\_03 |
| GP1\_04 | IO/interrupt input port GP1\_04 |
| GP1\_05 | IO/interrupt input port GP1\_05 |
| GP1\_06 | IO/interrupt input port GP1\_06 |
| GP1\_07 | IO/interrupt input port GP1\_07 |
| GP1\_08 | IO/interrupt input port GP1\_08 |
| GP1\_09 | IO/interrupt input port GP1\_09 |
| GP1\_10 | IO/interrupt input port GP1\_10 |
| GP1\_11 | IO/interrupt input port GP1\_11 |
| GP1\_12 | IO/interrupt input port GP1\_12 |
| GP1\_13 | IO/interrupt input port GP1\_13 |
| GP1\_14 | IO/interrupt input port GP1\_14 |
| GP1\_15 | IO/interrupt input port GP1\_15 |
| GP1\_16 | IO/interrupt input port GP1\_16 |
| GP1\_17 | IO/interrupt input port GP1\_17 |
| GP1\_18 | IO/interrupt input port GP1\_18 |
| GP1\_19 | IO/interrupt input port GP1\_19 |
| GP1\_20 | IO/interrupt input port GP1\_20 |
| GP1\_21 | IO/interrupt input port GP1\_21 |
| GP1\_22 | IO/interrupt input port GP1\_22 |
| GP1\_23 | IO/interrupt input port GP1\_23 |
| GP1\_24 | IO/interrupt input port GP1\_24 |
| GPIO\_2  Thanh ghi áp dụng:  IOINTSEL2 INOUTSEL2 OUTDT2 INDT2 INTDT2 INTCLR2 INTMSK2 MSKCLR2 POSNEG2 EDGLEVEL2 FILONOFF2 OUTDTSEL2 OUTDTH2 OUTDTL2 BOTHEDGE2 INEN2 | GP2\_00 | IO/interrupt input port GP2\_00 | * Có thể đặt chế độ đầu vào/đầu ra chung hoặc chế độ đầu vào ngắt cho mỗi cổng * Ở chế độ đầu vào chung, có thể đặt cực tính của tín hiệu đầu vào cho mỗi cổn. * Ở chế độ đầu ra chung, có thể đặt cực tính của tín hiệu đầu ra cho mỗi cổng. * Ở chế độ ngõ vào ngắt, cực tính của tín hiệu ngắt có thể được đặt cho mỗi cổng. * Trong chế độ đầu vào ngắt, các điều kiện phát hiện tín hiệu ngắt có thể được thiết lập cho mỗi cổng. |
| GP2\_01 | IO/interrupt input port GP2\_01 |
| GP2\_02 | IO/interrupt input port GP2\_02 |
| GP2\_03 | IO/interrupt input port GP2\_03 |
| GP2\_04 | IO/interrupt input port GP2\_04 |
| GP2\_05 | IO/interrupt input port GP2\_05 |
| GP2\_06 | IO/interrupt input port GP2\_06 |
| GP2\_07 | IO/interrupt input port GP2\_07 |
| GP2\_08 | IO/interrupt input port GP2\_08 |
| GP2\_09 | IO/interrupt input port GP2\_09 |
| GP2\_10 | IO/interrupt input port GP2\_10 |
| GP2\_11 | IO/interrupt input port GP2\_11 |
| GP2\_12 | IO/interrupt input port GP2\_12 |
| GP2\_13 | IO/interrupt input port GP2\_13 |
| GP2\_14 | IO/interrupt input port GP2\_14 |
| GP2\_15 | IO/interrupt input port GP2\_15 |
| GP2\_16 | IO/interrupt input port GP2\_16 |
| GPIO\_3  Thanh ghi áp dụng:  IOINTSEL3 INOUTSEL3 OUTDT3 INDT3 INTDT3 INTCLR3 INTMSK3 MSKCLR3 POSNEG3 EDGLEVEL3 FILONOFF3 OUTDTSEL3 OUTDTH3 OUTDTL3 BOTHEDGE3 INEN3 | GP3\_00 | IO/interrupt input port GP3\_00 | * Có thể đặt chế độ đầu vào/đầu ra chung hoặc chế độ đầu vào ngắt cho mỗi cổng. * Ở chế độ đầu vào chung, có thể đặt cực tính của tín hiệu đầu vào cho mỗi cổng. * Ở chế độ đầu ra chung, có thể đặt cực tính của tín hiệu đầu ra cho mỗi cổng. * Ở chế độ ngõ vào ngắt, cực tính của tín hiệu ngắt có thể được đặt cho mỗi cổng. * Trong chế độ đầu vào ngắt, các điều kiện phát hiện tín hiệu ngắt có thể được thiết lập cho mỗi cổng. |
| GP3\_01 | IO/interrupt input port GP3\_01 |
| GP3\_02 | IO/interrupt input port GP3\_02 |
| GP3\_03 | IO/interrupt input port GP3\_03 |
| GP3\_04 | IO/interrupt input port GP3\_04 |
| GP3\_05 | IO/interrupt input port GP3\_05 |
| GP3\_06 | IO/interrupt input port GP3\_06 |
| GP3\_07 | IO/interrupt input port GP3\_07 |
| GP3\_08 | IO/interrupt input port GP3\_08 |
| GP3\_09 | IO/interrupt input port GP3\_09 |
| GP3\_10 | IO/interrupt input port GP3\_10 |
| GP3\_11 | IO/interrupt input port GP3\_11 |
| GP3\_12 | IO/interrupt input port GP3\_12 |
| GP3\_13 | IO/interrupt input port GP3\_13 |
| GP3\_14 | IO/interrupt input port GP3\_14 |
| GP3\_15 | IO/interrupt input port GP3\_15 |
| GP3\_16 | IO/interrupt input port GP3\_16 |
| GP3\_17 | IO/interrupt input port GP3\_17 |
| GP3\_18 | IO/interrupt input port GP3\_18 |
| GPIO\_4  Thanh ghi áp dụng:  INOUTSEL4 OUTDT4 INDT4 POSNEG4 FILONOFF4 OUTDTSEL4 OUTDTH4 OUTDTL4 INEN4 PNOT4 PINV4 | GP4\_00 | IO port GP4\_00 | * Ở chế độ đầu vào chung, có thể đặt cực tính của tín hiệu đầu vào cho mỗi cổn. * Ở chế độ đầu ra chung, có thể đặt cực tính của tín hiệu đầu ra cho mỗi cổng. |
| GP4\_01 | IO port GP4\_01 |
| GP4\_02 | IO port GP4\_02 |
| GP4\_03 | IO port GP4\_03 |
| GP4\_04 | IO port GP4\_04 |
| GP4\_05 | IO port GP4\_05 |
| GP4\_06 | IO port GP4\_06 |
| GP4\_07 | IO port GP4\_07 |
| GP4\_08 | IO port GP4\_08 |
| GP4\_09 | IO port GP4\_09 |
| GP4\_10 | IO port GP4\_10 |
| GP4\_11 | IO port GP4\_11 |
| GP4\_12 | IO port GP4\_12 |
| GP4\_13 | IO port GP4\_13 |
| GP4\_14 | IO port GP4\_14 |
| GP4\_15 | IO port GP4\_15 |
| GP4\_16 | IO port GP4\_16 |
| GP4\_17 | IO port GP4\_17 |
| GP4\_18 | IO port GP4\_18 |
| GP4\_19 | IO port GP4\_19 |
| GP4\_20 | IO port GP4\_20 |
| GP4\_21 | IO port GP4\_21 |
| GP4\_22 | IO port GP4\_22 |
| GP4\_23 | IO port GP4\_23 |
| GP4\_24 | IO port GP4\_24 |
| GP4\_25 | IO port GP4\_00 |
| GP4\_26 | IO port GP4\_01 |
| GP4\_27 | IO port GP4\_02 |
| GP4\_28 | IO port GP4\_03 |
| GP4\_29 | IO port GP4\_04 |
| GP4\_30 | IO port GP4\_05 |
| GPIO\_5  Thanh ghi áp dụng:  INOUTSEL5 OUTDT5 INDT5 POSNEG5 FILONOFF5 OUTDTSEL5 OUTDTH5 OUTDTL5 INEN5 PNOT5 PINV5 | GP5\_00 | IO port GP5\_00 | * Ở chế độ đầu vào chung, có thể đặt cực tính của tín hiệu đầu vào cho mỗi cổng. * Ở chế độ đầu ra chung, có thể đặt cực tính của tín hiệu đầu ra cho mỗi cổng. |
| GP5\_01 | IO port GP5\_01 |
| GP5\_02 | IO port GP5\_02 |
| GP5\_03 | IO port GP5\_03 |
| GP5\_04 | IO port GP5\_04 |
| GP5\_05 | IO port GP5\_05 |
| GP5\_06 | IO port GP5\_06 |
| GP5\_07 | IO port GP5\_07 |
| GP5\_08 | IO port GP5\_08 |
| GP5\_09 | IO port GP5\_09 |
| GP5\_10 | IO port GP5\_10 |
| GP5\_11 | IO port GP5\_11 |
| GP5\_12 | IO port GP5\_12 |
| GP5\_13 | IO port GP5\_13 |
| GP5\_14 | IO port GP5\_14 |
| GP5\_15 | IO port GP5\_15 |
| GP5\_16 | IO port GP5\_16 |
| GP5\_17 | IO port GP5\_17 |
| GP5\_18 | IO port GP5\_18 |
| GP5\_19 | IO port GP5\_19 |
| GPIO\_6  Thanh ghi áp dụng:  INOUTSEL6 OUTDT6 INDT6 POSNEG6 FILONOFF6 OUTDTSEL6 OUTDTH6 OUTDTL6 INEN6 PNOT6 PINV6 | GP6\_00 | IO port GP6\_00 | * Ở chế độ đầu vào chung, có thể đặt cực tính của tín hiệu đầu vào cho mỗi cổng. * Ở chế độ đầu ra chung, có thể đặt cực tính của tín hiệu đầu ra cho mỗi cổng. |
| GP6\_01 | IO port GP6\_01 |
| GP6\_02 | IO port GP6\_02 |
| GP6\_03 | IO port GP6\_03 |
| GP6\_04 | IO port GP6\_04 |
| GP6\_05 | IO port GP6\_05 |
| GP6\_06 | IO port GP6\_06 |
| GP6\_07 | IO port GP6\_07 |
| GP6\_08 | IO port GP6\_08 |
| GP6\_09 | IO port GP6\_09 |
| GP6\_10 | IO port GP6\_10 |
| GP6\_11 | IO port GP6\_11 |
| GP6\_12 | IO port GP6\_12 |
| GP6\_13 | IO port GP6\_13 |
| GP6\_14 | IO port GP6\_14 |
| GP6\_15 | IO port GP6\_15 |
| GP6\_16 | IO port GP6\_16 |
| GP6\_17 | IO port GP6\_17 |
| GP6\_18 | IO port GP6\_18 |
| GP6\_19 | IO port GP6\_19 |
| GP6\_20 | IO port GP6\_20 |
| GP6\_21 | IO port GP6\_21 |
| GP6\_22 | IO port GP6\_22 |
| GP6\_23 | IO port GP6\_23 |
| GP6\_24 | IO port GP6\_24 |
| GP6\_25 | IO port GP6\_00 |
| GP6\_26 | IO port GP6\_01 |
| GP6\_27 | IO port GP6\_02 |
| GP6\_28 | IO port GP6\_03 |
| GP6\_29 | IO port GP6\_04 |
| GP6\_30 | IO port GP6\_05 |
| GP6\_31 | IO port GP6\_31 |
| GPIO\_7  Thanh ghi áp dụng:  INOUTSEL7 OUTDT7 INDT7 POSNEG7 FILONOFF7 OUTDTSEL7 OUTDTH7 OUTDTL7 INEN7 PNOT7 PINV7 | GP7\_00 | IO port GP7\_00 | * Ở chế độ đầu vào chung, có thể đặt cực tính của tín hiệu đầu vào cho mỗi cổng. * Ở chế độ đầu ra chung, có thể đặt cực tính của tín hiệu đầu ra cho mỗi cổng. |
| GP7\_01 | IO port GP7\_01 |
| GP7\_02 | IO port GP7\_02 |
| GP7\_03 | IO port GP7\_03 |
| GP7\_04 | IO port GP7\_04 |
| GP7\_05 | IO port GP7\_05 |
| GP7\_06 | IO port GP7\_06 |
| GP7\_07 | IO port GP7\_07 |
| GP7\_08 | IO port GP7\_08 |
| GP7\_09 | IO port GP7\_09 |
| GP7\_10 | IO port GP7\_10 |
| GP7\_11 | IO port GP7\_11 |
| GP7\_12 | IO port GP7\_12 |
| GP7\_13 | IO port GP7\_13 |
| GP7\_14 | IO port GP7\_14 |
| GP7\_15 | IO port GP7\_15 |
| GP7\_16 | IO port GP7\_16 |
| GP7\_17 | IO port GP7\_17 |
| GP7\_18 | IO port GP7\_18 |
| GP7\_19 | IO port GP7\_19 |
| GP7\_20 | IO port GP7\_20 |
| GP7\_21 | IO port GP7\_21 |
| GP7\_22 | IO port GP7\_22 |
| GP7\_23 | IO port GP7\_23 |
| GP7\_24 | IO port GP7\_24 |
| GP7\_25 | IO port GP7\_25 |
| GP7\_26 | IO port GP7\_26 |
| GP7\_27 | IO port GP7\_27 |
| GP7\_28 | IO port GP7\_28 |
| GP7\_29 | IO port GP7\_29 |
| GP7\_30 | IO port GP7\_30 |
| GP7\_31 | IO port GP7\_31 |

##### Operations in Each Mode

###### Mode Switching

Hai thanh ghi được sử dụng để chuyển chế độ của các chân đầu vào IO/ngắt chung của các nhóm GPIO. Mỗi thanh ghi được cung cấp tối đa 32 bit, mỗi thanh ghi điều khiển một trong các chân cổng GPIOn\*. Thanh ghi chuyển đổi IO/ngắt chung trước tiên được sử dụng để chọn chế độ đầu vào/đầu ra chung hoặc chế độ đầu vào ngắt cho mỗi chân cổng. Khi chế độ đầu vào/đầu ra chung được chọn, cài đặt của bit liên quan trong thanh ghi thứ hai, nghĩa là, thanh ghi chuyển đổi đầu vào/đầu ra chung, được sử dụng. Cụ thể, khi một bit trong thanh ghi chuyển đổi đầu vào/đầu ra chung được đặt cho chế độ đầu ra chung, chân cổng tương ứng sẽ được chuyển sang hướng đầu ra và tuyến đường được hình thành sao cho giá trị đặt trong bit tương ứng trong thanh ghi đầu ra chung sẽ được xuất ra thông qua pin. Tương tự như vậy, khi được đặt cho chế độ đầu vào chung, chân cổng tương ứng được chuyển sang hướng đầu vào và tuyến đường được hình thành sao cho giá trị nhận được qua chân phải được biểu thị bằng bit tương ứng trong thanh ghi đầu vào chung. Khi chế độ đầu vào ngắt được chọn, chân cổng tương ứng được chuyển sang hướng đầu vào và tuyến đường được hình thành sao cho việc nhận tín hiệu đầu vào qua chân phải được chỉ báo bởi thanh ghi hiển thị ngắt. Ở đây, cài đặt của thanh ghi thứ hai, tức là thanh ghi chuyển đổi đầu vào/đầu ra chung, không hợp lệ. Lưu ý: \* n = 0 đến 7 (Các nhóm GP4 đến GP7 không có chế độ đầu vào ngắt.)

Có hai thanh ghi được sử dụng để chuyển đổi chế độ của các chân GPIO đầu vào tổng quát / ngắt của các nhóm GPIO. Mỗi thanh ghi được cung cấp với tối đa 32 bit, mỗi bit điều khiển một trong các chân cổng GPIOn\*. Thanh ghi chuyển đổi đầu vào / ngắt tổng quát được sử dụng đầu tiên để chọn chế độ đầu vào / đầu ra tổng quát hoặc chế độ đầu vào ngắt cho mỗi chân cổng. Khi chế độ đầu vào / đầu ra tổng quát được chọn, phải sử dụng thiết lập của bit tương ứng trong thanh ghi thứ hai, tức là thanh ghi chuyển đổi đầu vào / đầu ra tổng quát. Cụ thể, khi một bit trong thanh ghi chuyển đổi đầu vào / đầu ra tổng quát được thiết lập cho chế độ đầu ra tổng quát, chân cổng tương ứng được chuyển đến hướng đầu ra và tạo thành đường đi để giá trị được thiết lập trong bit tương ứng trong thanh ghi đầu ra tổng quát được đưa ra qua chân. Tương tự, khi được thiết lập cho chế độ đầu vào tổng quát, chân cổng tương ứng được chuyển sang hướng đầu vào và tạo thành đường đi để giá trị nhận được qua chân sẽ được chỉ ra bởi bit tương ứng trong thanh ghi đầu vào tổng quát. Khi chế độ đầu vào ngắt được chọn, chân cổng tương ứng được chuyển sang hướng đầu vào và tạo thành đường đi để tín hiệu đầu vào được chỉ ra bởi thanh ghi hiển thị ngắt. Ở đây, thiết lập của thanh ghi thứ hai, tức là thanh ghi chuyển đổi đầu vào / đầu ra tổng quát, là không hợp lệ. Lưu ý: \* n = 0 đến 7 (Các nhóm GP4 đến GP7 không có chế độ đầu vào ngắt.)

###### General Input / Output Mode

When setting a port for general input, set high value to INEN to enable general input. When a port is set for general input/output mode using the corresponding bit in the general IO/interrupt switching register, the corresponding port serves as a general input/output pin. In general input/output mode, either mode can be selected using the corresponding bit in the general input/output switching register. When a port is set for general output mode, the port outputs the value set in the corresponding bit in the general output register or output data high/output data low register with appropriate configuring in output data select register. Here, the polarity of the actual output signal is determined by the setting of the corresponding bit in the positive/negative logic select register. When a port is set for general input mode, the polarity of the input signal is also determined by the setting of the corresponding bit in the positive/negative logic select register. The general input register indicates the value accordingly. Note that the general input register does not hold the input signal using the FF.

Khi thiết lập một cổng cho đầu vào tổng quát, hãy đặt giá trị cao cho INEN để cho phép đầu vào tổng quát. Khi một cổng được thiết lập cho chế độ đầu vào/đầu ra tổng quát bằng cách sử dụng bit tương ứng trong thanh đổi chế độ đầu vào/tín hiệu ngắt đầu vào tổng quát, cổng tương ứng phục vụ như một chân đầu vào/đầu ra tổng quát. Trong chế độ đầu vào/đầu ra tổng quát, chế độ nào cũng có thể được lựa chọn bằng cách sử dụng bit tương ứng trong thanh đổi chế độ đầu vào/đầu ra tổng quát. Khi một cổng được thiết lập cho chế độ đầu ra tổng quát, cổng xuất ra giá trị được thiết lập trong bit tương ứng trong bộ đăng ký đầu ra tổng quát hoặc đăng ký dữ liệu đầu ra cao/dữ liệu đầu ra thấp với cấu hình phù hợp trong bộ đăng ký lựa chọn dữ liệu đầu ra. Ở đây, độ lệch của tín hiệu đầu ra thực sự được xác định bởi cài đặt của bit tương ứng trong bộ đăng ký lựa chọn logic dương/âm. Khi một cổng được thiết lập cho chế độ đầu vào tổng quát, độ lệch của tín hiệu đầu vào cũng được xác định bởi cài đặt của bit tương ứng trong bộ đăng ký lựa chọn logic dương/âm. Bộ đăng ký đầu vào tổng quát chỉ ra giá trị tương ứng. Lưu ý rằng bộ đăng ký đầu vào tổng quát không giữ tín hiệu đầu vào sử dụng FF.

###### Interrupt Input Mode

Khi một cổng được đặt cho chế độ đầu vào ngắt bằng cách sử dụng bit tương ứng trong thanh ghi chuyển mạch ngắt/IO chung, thì cổng tương ứng sẽ đóng vai trò là chân đầu vào ngắt. Ở chế độ đầu vào ngắt, khi cổng nhận được một ngắt bên ngoài, bit tương ứng trong thanh ghi hiển thị ngắt cho biết đầu vào của tín hiệu ngắt trên chân cổng tương ứng và tín hiệu ngắt được xuất ra khối điều khiển ngắt. Trong chế độ này, các điều kiện phân cực và phát hiện (cạnh hoặc mức) của tín hiệu đầu vào bên ngoài có thể được đặt cho mỗi cổng. Các bit tương ứng trong thanh ghi chọn logic dương/âm và thanh ghi chọn cạnh/mức, thanh ghi chọn một cạnh/cả hai cạnh nên được sử dụng để đặt các điều kiện phân cực và phát hiện tương ứng. Nếu một cổng được đặt để phát hiện cạnh sử dụng bit tương ứng trong thanh ghi chọn cạnh/mức, ngay cả khi tín hiệu ngắt xung bên ngoài được đưa vào, thì bit tương ứng trong thanh ghi hiển thị ngắt sẽ giữ đầu vào bằng FF và cho phép tín hiệu ngắt mức được xuất ra khối điều khiển ngắt. Để dừng tất cả các đầu ra tín hiệu ngắt, tất cả các bit trong thanh ghi xóa ngắt tương ứng với các bit trong thanh ghi hiển thị ngắt hiện cho biết việc nhận các tín hiệu ngắt tương ứng phải được xóa thành 0. Lưu ý rằng nếu một cổng được đặt để phát hiện mức sử dụng bit tương ứng trong thanh ghi chọn cạnh/mức và tín hiệu ngắt mức bên ngoài là đầu vào, bit tương ứng trong thanh ghi hiển thị ngắt không sử dụng FF để giữ đầu vào. Các ngắt được chỉ báo bởi thanh ghi hiển thị ngắt có thể được che dấu riêng biệt bằng cách sử dụng các bit tương ứng trong thanh ghi mặt nạ ngắt. Khi tất cả các bit hiện đang cho biết việc nhận các tín hiệu ngắt được che đi, thì không có tín hiệu ngắt nào được xuất ra khối điều khiển ngắt. Có thể hủy mặt nạ bằng cách ghi 1 vào các bit tương ứng trong thanh ghi xóa mặt nạ ngắt tùy thuộc vào thanh ghi mặt nạ ngắt được sử dụng.

Khi một cổng được đặt ở chế độ ngắt nhập liệu bằng cách sử dụng bit tương ứng trong thanh ghi chuyển đổi đầu vào / ngắt tổng quát, cổng tương ứng hoạt động như một chân ngắt. Ở chế độ ngắt nhập liệu, khi cổng nhận một ngắt ngoài, bit tương ứng trong thanh ghi hiển thị ngắt cho thấy đầu vào của tín hiệu ngắt trên chân cổng tương ứng, và tín hiệu ngắt được đưa ra đến khối điều khiển ngắt. Ở chế độ này, cực và điều kiện phát hiện (sườn hoặc mức) của tín hiệu đầu vào có thể được đặt cho mỗi cổng. Các bit tương ứng trong thanh ghi lựa chọn phép tính dương / âm và thanh ghi lựa chọn sườn / mức, thanh ghi lựa chọn sườn / cả hai sườn phải được sử dụng để đặt cực và điều kiện phát hiện.

Nếu một cổng được đặt để phát hiện sườn bằng cách sử dụng bit tương ứng trong thanh ghi lựa chọn sườn / mức, thậm chí khi một tín hiệu ngắt xung ngoài được đưa vào, bit tương ứng trong thanh ghi hiển thị ngắt giữ đầu vào bằng cách sử dụng Flip-Flop (FF) và cho phép tín hiệu ngắt mức được đưa ra đến khối điều khiển ngắt. Để dừng tất cả các tín hiệu ngắt được đưa ra, tất cả các bit trong thanh ghi xóa ngắt tương ứng với các bit trong thanh ghi hiển thị ngắt hiện tại cho thấy sự nhận của các tín hiệu ngắt tương ứng phải được xóa về 0. Lưu ý rằng nếu một cổng được đặt để phát hiện mức sử dụng bit tương ứng trong thanh ghi lựa chọn sườn / mức và một tín hiệu ngắt mức ngoài được đưa vào, bit tương ứng trong thanh ghi hiển thị ngắt không sử dụng FF để giữ đầu vào.

Các ngắt được chỉ định bởi thanh ghi hiển thị ngắt có thể được ẩn riêng biệt bằng cách sử dụng các bit tương ứng trong thanh ghi ẩn ngắt. Khi tất cả các bit hiện tại đang chỉ ra sự nhận tín hiệu ngắt bị ẩn đi, không có tín hiệu ngắt nào được đưa ra đến khối điều khiển ngắt.

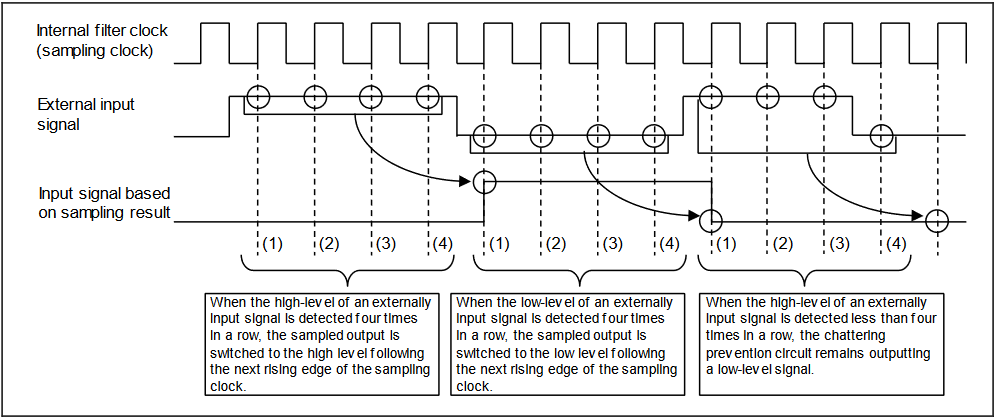
Các bộ lọc có thể được hủy bỏ bằng cách viết 1 vào các bit tương ứng trong thanh ghi hủy bỏ bộ lọc tùy thuộc vào loại thanh ghi bộ lọc được sử dụng.

##### Handling of Input Signals on Port Pins

###### Chattering

Ở chế độ đầu vào chung và chế độ đầu vào ngắt, chức năng lọc có thể được sử dụng cho các chân cổng từ 0 đến 3 của mỗi nhóm GPIO để ngăn đầu vào nhiễu bên ngoài. Cụ thể, khi một bit trong thanh ghi bật / tắt ngăn nhiễu được đặt để sử dụng chức năng này, đầu vào bên ngoài tới chân cổng tương ứng được lấy mẫu bốn lần liên tiếp dựa trên tín hiệu đồng hồ bộ lọc do GPIO tạo ra bên trong. Đầu vào bên ngoài bị hủy trừ khi đầu vào hoạt động được phát hiện bốn lần liên tiếp. Do đó, khi chức năng lọc được sử dụng, đầu vào các chân cổng từ 0 đến 3 của mỗi nhóm GPIO cần phải dài ít nhất bốn chu kỳ đồng hồ lấy mẫu (Đồng hồ lấy mẫu được tạo từ đồng hồ ngoại vi/k, trong đó k được xác định bởi FILONOFFn. CLKSEL.).

Ở chế độ đầu vào chung và chế độ ngắt, có thể sử dụng chức năng lọc để ngăn chặn tạp âm đầu vào từ các chân cổng 0 đến 3 của mỗi nhóm GPIO. Cụ thể, khi một bit trong bộ đăng ký chống độ rung được thiết lập để sử dụng chức năng, đầu vào từ bên ngoài vào chân cổng tương ứng được lấy mẫu liên tiếp bốn lần dựa trên tín hiệu đồng hồ lọc, được tạo ra bên trong GPIO. Đầu vào từ bên ngoài sẽ bị hủy bỏ trừ khi đầu vào hoạt động được phát hiện liên tiếp bốn lần. Do đó, khi sử dụng chức năng lọc, đầu vào vào các chân cổng 0 đến 3 của mỗi nhóm GPIO cần ít nhất là bốn chu kỳ đồng hồ lấy mẫu (Chu kỳ lấy mẫu được tạo ra từ xung đồng hồ ngoại vi / k, trong đó k được xác định bởi FILONOFFn.CLKSEL.).Top of Form



**Hình 7.8:** Sampling Timing Chart

###### Input Signal Synchronization

Chế độ đầu vào chung và chế độ đầu vào ngắt, tín hiệu đầu vào bên ngoài trên tất cả các chân của cổng được đồng bộ hóa với đồng hồ GPIO (CPφ).

Trong chế độ đầu vào chung và chế độ đầu vào ngắt, tín hiệu đầu vào bên ngoài trên tất cả các chân cổng được đồng bộ hóa với xung đồng hồ GPIO (CPφ).

##### Interrupt Display Timing Charts

Hình 7.9 hiển thị thời gian hiển thị ngắt và Hình 7.10 hiển thị lưu ý về thời gian. Trong cả hai hình, logic dương và đầu vào nhạy với cạnh đều được giả định.

Diagram

Description automatically generated

**Hình 7.9**: Interrupt Display Timing

Diagram

Description automatically generated

**Hình 7.10:** Note on Interrupt Display Timing

##### Using GPIO

Các phần sau mô tả cách sử dụng GPIO. Nếu GPIO không được sử dụng theo các quy trình được hiển thị ở đây, các hoạt động sẽ không được đảm bảo.

Các phần sau mô tả cách sử dụng GPIO. Nếu không sử dụng GPIO theo các quy trình được hiển thị ở đây, thì không đảm bảo hoạt động.

###### Setting Edge-Sensitive Interrupt Input Mode

Để cài đặt chế độ đầu vào ngắt nhạy với cạnh, hãy tham khảo quy trình được minh họa trong Hình 7.11. Lưu ý rằng một ngắt không mong muốn có thể được tạo ra trong mô-đun nếu cài đặt (1), (2), (3) hoặc (4) trong lưu đồ bị thay đổi. Khi thay đổi cài đặt, (5) và (6) nên được thực hiện.  
  
Để thiết lập chế độ ngắt dữ liệu dựa trên cạnh, hãy tham khảo quy trình được hiển thị trong Hình 7.11. Lưu ý rằng một ngắt dữ liệu không mong muốn có thể được tạo ra trong mô-đun nếu thiết lập (1), (2), (3) hoặc (4) trong sơ đồ dòng. Khi thay đổi cài đặt, cần thực hiện (5) và (6).

Diagram

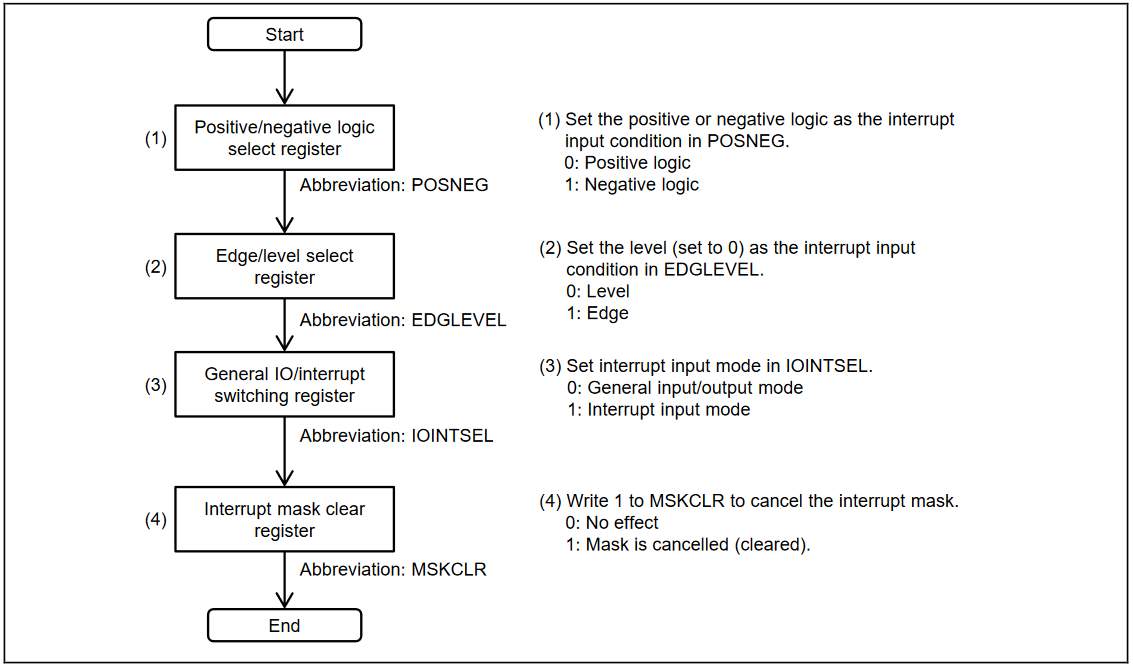
Description automatically generated with medium confidence

**Hình 7.11:** Flowchart of Setting the GPIO to Edge-Sensitive Interrupt Input Mode

###### Setting Level-Sensitive Interrupt Input Mode

Để cài đặt chế độ đầu vào ngắt nhạy cảm theo mức, hãy tham khảo quy trình được minh họa trong Hình 7.12. Lưu ý rằng khi tín hiệu đầu vào ngắt nhạy cảm với mức bên ngoài bị dừng, ngắt tương ứng sẽ tự động bị hủy. Chế độ đầu vào ngắt nhạy cảm với mức độ, thanh ghi xóa ngắt không hợp lệ.

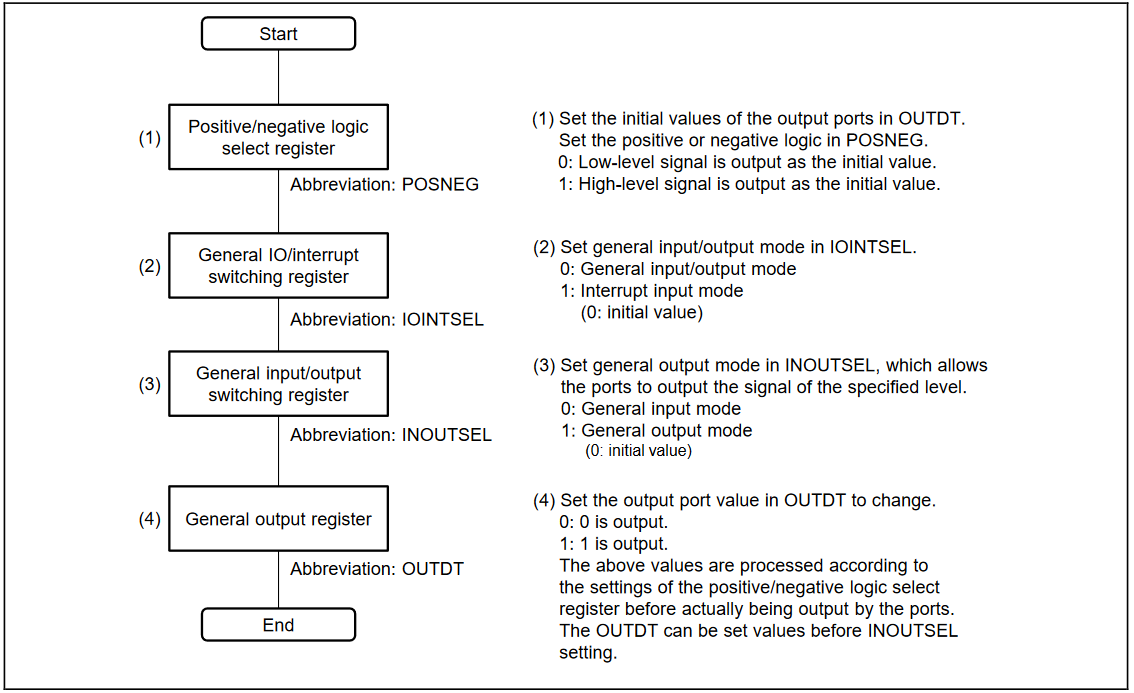
Để thiết lập chế độ ngắt đầu vào nhạy cảm mức, xem quy trình được hiển thị trong Hình 7.12. Lưu ý rằng khi tín hiệu đầu vào ngắt nhạy cảm mức từ bên ngoài bị ngừng, ngắt tương ứng sẽ tự động bị hủy bỏ. Trong chế độ ngắt đầu vào nhạy cảm mức, thanh ghi làm sạch ngắt là không hợp lệ.



**Hình 7.12:** Flowchart of Setting the GPIO to Level-Sensitive Interrupt Input Mode

###### Setting General Output Mode

Để cài đặt chế độ đầu ra chung, hãy tham khảo quy trình được minh họa trong Hình 7.13.



**Hình 7.13:** Flowchart of Setting the GPIO to General Output Mode

###### Setting Output Data High / Output Data Low Mode

Để cài đặt chế độ dữ liệu đầu ra cao/dữ liệu đầu ra thấp, hãy tham khảo quy trình được minh họa trong Hình 7.14.

Diagram

Description automatically generated

**Hình 7.14:** Flowchart of Setting the GPIO to Output data high / Output data low Mode.

###### Setting General Input Mode

Để cài đặt chế độ đầu vào chung, hãy tham khảo quy trình được minh họa trong Hình 7.15.

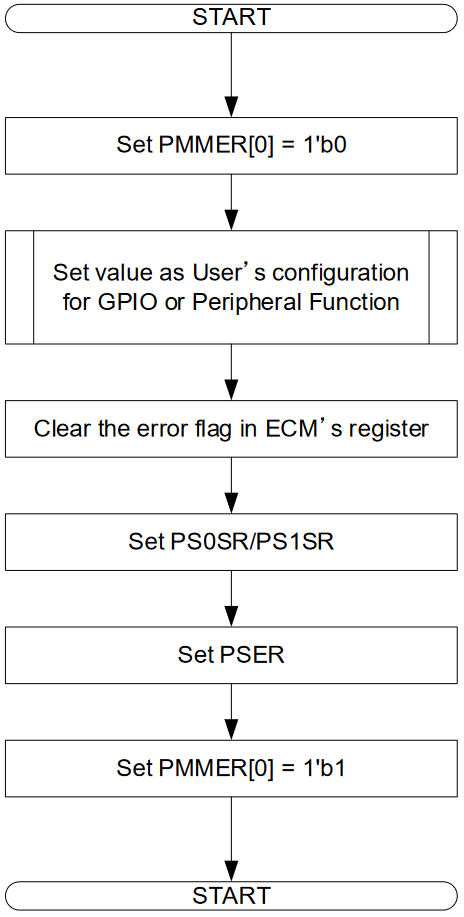
Diagram

Description automatically generated

**Hình 7.15:** Flowchart of Setting the GPIO to General Input Mode

###### Setting Port Safe State

Để cài đặt chế độ đầu vào chung, hãy tham khảo quy trình được minh họa trong Hình 7.16.



**Hình 7.16:** Flowchart of Setting the Port Safe State

###### Switching GPIO to I2C

R-Car S4 có chân dành riêng cho I2C. Hình minh họa ví dụ về quy trình cài đặt.

##### Port Safe State Function

Để giữ trạng thái vận hành an toàn (Port Safe State) trong trường hợp hỏng hóc rồi dừng lại, Port Safe State hoạt động để nhận thông tin lỗi từ ECM và thực hiện Pin cho từng miền. Xuất tín hiệu thông tin sự cố cho từng miền từ ECM. Điều này được PFC nhận và nó được kiểm soát cho từng Pin để nó trở thành Trạng thái An toàn của Cổng. Các thanh ghi (PSSR 0, 1) chọn 4 loại Trạng thái an toàn cổng với 2 bit. Cung cấp một thanh ghi (PSER) để bật/tắt thanh ghi này.

**Bảng7.57:** Port Safe State function

##### RESETOUT1# Function

Hình dưới đây cho thấy hành vi của PRESETOUT#.

Hình 7.17 Biểu đồ thời gian của chức năng PRESETOUT1# cho mỗi hệ số đặt lại

THẬN TRỌNG: Để tránh xung đột dữ liệu, mạch bên ngoài được kết nối với chân này không được điều khiển ở mức cao trong mọi trường hợp.